

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 352:DERWENT WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

010008661 **Image available**

WPI Acc No: 1994-276372/199434

XRAM Acc No: C94-126403

XRPX Acc No: N94-217912

Active matrix LCD panel with array of nonlinear pixel switching elements

- has LC layer enclosed scanning electrode board and nonlinear element

array board

Patent Assignee: TOSHIBA KK (TOKE)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 6208343	A	19940726	JP 933063	A	19930112	199434 B

Priority Applications (No Type Date): JP 933063 A 19930112

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 6208343	A		6 G09G-003/36	

Abstract (Basic): JP 6208343 A

A voltage lower than the scanning selection voltage from a scanning control circuit is applied to scanning electrodes over one scanning selection time.

ADVANTAGE - High contrast image display can be achieved while saving power consumption. Dwg.1/5

Title Terms: ACTIVE; MATRIX; LCD; PANEL; ARRAY; NONLINEAR; PIXEL; SWITCH; ELEMENT; LC; LAYER; ENCLOSE; SCAN; ELECTRODE; BOARD; NONLINEAR; ELEMENT; ARRAY; BOARD

Derwent Class: L03; P81; P85; U14

International Patent Class (Main): G09G-003/36

International Patent Class (Additional): G02F-001/133

File Segment: CPI; EPI; EngPI

特開平6-208343

(43) 公開日 平成6年(1994)7月26日

(51) Int. Cl. ⁵
 G09G 3/36 7319-5G
 G02F 1/133 550 9226-2K

識別記号

F I

審査請求 未請求 請求項の数 1 O L (全6頁)

(21) 出願番号 特願平5-3063

(22) 出願日 平成5年(1993)1月12日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 中村 卓

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

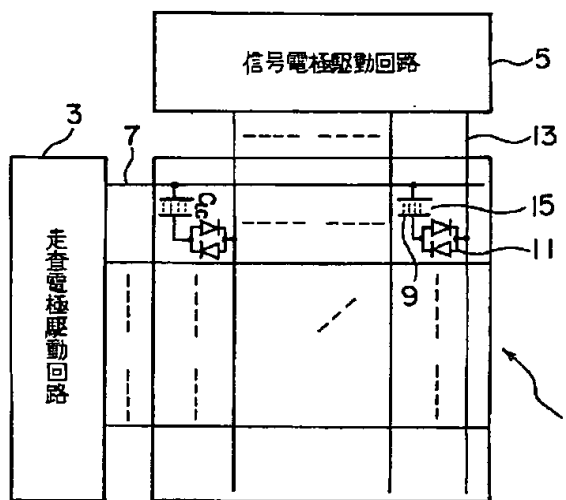
(74) 代理人 弁理士 須山 佐一

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】 走査電圧や表示信号電圧を高くすることを避けて低消費電力を実現しながら、均一で高いコントラスト比の画像表示を実現することのできる液晶表示装置を提供する。

【構成】 走査電極駆動回路3により1走査選択期間の直前に少なくとも1走査選択時間にわたって大きさが前記走査選択電圧レベルV3よりも小さな電圧レベルV5の電圧を走査電極7に印加することで、前記の走査選択期間に入る以前に画素をオン状態にすることを避けつつその画素の液晶層15に予備電圧を充電させておくので、走査選択期間に入ってから画素をオン状態にするに十分な値にするまでの液晶印加電圧VLCの書き込みを短時間に速やかに行なうことができる。



【特許請求の範囲】

【請求項 1】 走査電極が形成された第 1 の基板と、画素電極と該画素電極に接続された電気抵抗特性が非線形である非線形素子と該非線形素子に接続された信号電極とを有し前記第 1 の基板に対向配置される第 2 の基板と、前記第 1 の基板および前記第 2 の基板間に封入され対向する前記走査電極および前記画素電極の間に挟持されて画素を形成する液晶層と、前記走査電極に走査電圧を印加する走査電極駆動手段と、前記信号電極に表示信号電圧を印加する信号電極駆動手段とを有する液晶表示装置において、

前記走査電極の 1 走査選択期間を少なくとも第 1 の期間および第 2 の期間に分割し、その一方の期間では走査選択電圧レベルとし他方の期間では走査非選択電圧レベルとし、かつ前記 1 走査選択期間の直前に少なくとも 1 走査選択時間にわたって大きさが前記走査選択電圧レベルよりも小さな電圧レベルであって前記表示信号電圧と重畳したときに前記画素をオン状態にすることを避けて前記画素の液晶層の容量を予備充電する予備充電電圧レベルとした走査電圧を前記走査電極に印加する走査電極駆動手段と、

前記第 1 の期間では画像情報に対応して表示選択レベルまたは表示非選択レベルとし、かつ前記第 2 の期間では前記第 1 の期間が表示選択レベルのときは表示非選択レベルとし前記第 1 の期間が表示非選択レベルのときは表示選択レベルとした表示信号電圧を前記信号電極に印加する信号電極駆動手段とを具備することを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は液晶表示装置に係り、特に非線形素子を画素部のスイッチング用アクティブ素子として用いた液晶表示装置に関する。

【0002】

【従来の技術】 液晶表示装置は、ワードプロセッサ、パーソナルコンピュータのような情報処理装置や、テレビや投射型テレビなどのディスプレイデバイスとして広く用いられている。このような用途における液晶表示装置としては、単純マトリックス方式とアクティブマトリックス方式との 2 方式に大別することができる。

【0003】 単純マトリックス方式は、構造が簡易で既に高歩留まりの製造方法も確立されているため、広く実用に供されている。そして特に情報処理装置や高精細テレビなどの大容量画像情報の表示用途に好適なものとして、液晶自体の電気光学的なしきい値特性が急峻な S T N (Super Twisted Nematic) 型液晶を用いた液晶表示装置が用いられている。

【0004】 ところが、このような S T N 型液晶表示装置においては、最適バイアス法などで駆動されており表示部分 (オン画素) と非表示部分 (オフ画素) との液晶

印加電圧の実効値の差が特定の電圧以上にはできない上に、前述のように S T N 型液晶自体の電気光学的なしきい値特性が急峻であるために、表示部分 (オン画素) と非表示部分 (オフ画素) とのコントラスト比は走査線数 200 本程度のマトリックス表示の場合においても不十分であり、走査線数 500 本以上の大規模なものにおいては、さらに致命的にコントラスト比が低いものとなる。また、応答速度も 100ms 乃至 300ms 程度と遅く、例えば V G A 対応のコンピュータのディスプレイ端末のような用途には不向きであるという問題がある。

【0005】 このような欠点を有する単純マトリックス方式の液晶表示装置に代わって、一つ一つの画素への駆動電圧の印加を直接スイッチング制御するスイッチング素子を有する、いわゆるアクティブマトリックス型液晶表示装置が開発されている。このアクティブマトリックス型液晶表示装置には、主にスイッチング素子として T F T (Thin Film Transistor) が採用されており、視角特性が良好である、応答速度が速い、コントラストが高いなどの特長がある。そしてその T F T を形成する半導体材料としては、セレン化カドミウムや、テルルや、単結晶シリコンや、非晶質シリコンなどの種々の材料が提案されている。

【0006】 ところが、このような T F T を用いたアクティブマトリックス型の液晶表示装置においては、煩雑な微細加工工程を要する T F T などを大面積にわたって欠陥なく形成しなければならないため、製造コストが高く、また大型の表示パネルへの応用が容易ではないという不都合がある。

【0007】 そこで、そのような煩雑な微細加工工程を要する T F T に代わるスイッチング素子として非線形な電流電圧特性を有するダイオードのような非線形素子を用いたアクティブマトリックス型液晶表示装置が提案されており、既に実用に供されているものもある。そのような非線形素子としては、例えばダイオード方式のものや、酸化亜鉛を用いたバリスタや、金属からなる 2 つの電極で絶縁物を挟持してなる M I M (Metal-insulator-Metal) 方式のものや、金属からなる 2 つの電極で半導電性の層を挟持してなるもの (M S I) などがある。

【0008】 なかでも、M I M 素子を用いたものは、液晶層を挟んで対向配置された電極間に液晶印加電圧を印加すると、小さな時定数で充電が行なわれ、液晶印加電圧が印加されなくなると、大きな時定数で放電が行なわれる。したがって走査選択期間において表示信号電圧が M I M 素子のしきい値電圧を越えると短い期間でも該当画素の液晶層の等価容量 (液晶容量 C L C) に電圧が書き込まれ、一旦書き込まれた電圧は単純マトリックス型のように急激に低減することなく走査非選択期間においても十分な時間にわたって保持される。その結果、単純マトリックス型液晶表示装置の場合と比べてオン画素の液晶印加電圧の実効値とオフ画素の液晶印加電圧の実効

値との比を高くすることができるので、コントラスト比の高い表示を実現することができる。

【 0 0 0 9 】

【発明が解決しようとする課題】しかしながら、このような MIM 素子を用いた液晶表示装置に代表される 2 端子型液晶表示装置の表示性能は駆動方法に大きく依存するという問題がある。すなわち、液晶表示装置は通常フレーム反転駆動されるが、フレーム反転駆動では例えば 1 信号ライン上の一画素のみオンの表示を行なう場合と全画素オンの表示を行なう場合とでは、走査非選択期間内に画素に書き込まれる電圧の極性の割合が異なり、このため表示パターンに依存して液晶印加電圧の実効値（液晶層に保持される電圧の時間的平均）にばらつきが生じる。その結果、表示パターンごとに、あるいは表示位置ごとに、コントラストにばらつきが生じて表示品位が低劣なものになってしまうという問題がある。

【 0 0 1 0 】このような問題を解決する方策として、例えば特公昭 62-6210 号公報に開示されたような技術がある。これは、走査電極の 1 走査選択期間を少なくとも第 1 の期間および第 2 の期間のいわゆる細走査選択期間に分割し、その一方の期間では走査電圧を走査選択電圧レベルとし他方の期間では走査非選択電圧レベルとし、かつ表示信号電圧を第 1 の期間では画像情報に対応して表示選択レベルまたは表示非選択レベルとし、第 2 の期間では第 1 の期間の反転レベルとするという駆動方法で非線形素子を用いた液晶表示装置を駆動させるという技術である。このような駆動方法によれば、実際に表示パターンに依存することなく均一なコントラストの画像表示を実現できる。

【 0 0 1 1 】しかしながら、このような駆動方法では、走査選択電圧レベルの走査パルスを印加する時間が通常の 1 走査選択期間の半分の時間しか取れず短いため、表示を行なうに十分な電圧の書き込みを確保するためには走査電圧と表示信号電圧との重畳電圧である液晶印加電圧を高くしなければならないという問題がある。そして近年では前述したように画素数が著しく増加しており、さらに 1 走査選択期間自体も短くなっているため、この問題はさらに解決が容易ではないものとなってきている。

【 0 0 1 2 】本発明は、このような問題を解決するために成されたもので、その目的は、走査電圧や表示信号電圧を高くすることによって低消費電力を実現しながら、均一で高いコントラスト比の画像表示を実現することのできる液晶表示装置を提供することにある。

【 0 0 1 3 】

【課題を解決するための手段】本発明の液晶表示装置は、走査電極が形成された第 1 の基板と、画素電極と該画素電極に接続された電気抵抗特性が非線形である非線形素子と該非線形素子に接続された信号電極とを有し前記第 1 の基板に対向配置される第 2 の基板と、前記第 1

の基板および前記第 2 の基板間に封入され対向する前記走査電極および前記画素電極の間隙に挟持されて画素を形成する液晶層と、前記走査電極に走査電圧を印加する走査電極駆動手段と、前記信号電極に表示信号電圧を印加する信号電極駆動手段とを有する液晶表示装置において、前記走査電極の 1 走査選択期間を少なくとも第 1 の期間および第 2 の期間に分割し、その一方の期間では走査選択電圧レベルとし他方の期間では走査非選択電圧レベルとし、かつ前記 1 走査選択期間の直前に少なくとも 1 走査選択時間にわたって大きさが前記走査選択電圧レベルよりも小さな電圧レベルであって前記表示信号電圧と重畳したときに前記画素をオン状態にするのを避けて前記画素の液晶層の容量を予備充電する予備充電電圧レベルとした走査電圧を前記走査電極に印加する走査電極駆動手段と、前記第 1 の期間では画像情報に対応して表示選択レベルまたは表示非選択レベルとし、かつ前記第 2 の期間では前記第 1 の期間が表示選択レベルのときは表示非選択レベルとし前記第 1 の期間が表示非選択レベルのときは表示選択レベルとした表示信号電圧を前記信号電極に印加する信号電極駆動手段とを具備することを特徴としている。

【 0 0 1 4 】なお、前記の走査電圧の予備電圧レベルの大きさとしては、例えば $1/N$ バイアス駆動の場合では、走査選択期間の走査選択電圧レベルの $1/3$ を下限とし、かつ $(N-3)/(N-1)$ を上限とすることが望ましい。これは、予備電圧レベルの大きさは走査選択期間の走査選択電圧レベルの $1/3$ 以下では効果がなく、かつ $(N-3)/(N-1)$ 以上では表示非選択画素にも画素をオンとするような液晶印加電圧が印加されてしまいシャドウの原因となるという不都合が生じる恐れがあるためである。

【 0 0 1 5 】また、前記の非線形素子としては、ダイオード素子や、酸化亜鉛を用いたバリスタ素子や、金属からなる 2 つの電極で絶縁物を挟持してなる MIM 素子や、金属からなる 2 つの電極で半導電性の層を挟持してなる MSI 素子などを用いることができる。

【 0 0 1 6 】

【作用】本発明の液晶表示装置においては、1 走査選択期間を少なくとも 2 つの期間に分割し、例えばその前半を走査選択電圧レベルの走査電圧とし後半で走査非選択電圧レベルとする一方、第 1 の期間では画像情報に対応して表示選択レベルまたは表示非選択レベルとし、第 2 の期間では第 1 の期間が表示選択レベルのときは表示非選択レベルとし第 1 の期間が表示非選択レベルのときは表示選択レベルとした表示信号電圧を信号電極に印加することで、表示パターンに依存した液晶印加電圧の実効値のばらつきを抑えることができる。

【 0 0 1 7 】しかもそのような走査選択期間の直前に少なくとも 1 走査選択時間にわたって大きさが前記走査選択電圧レベルよりも小さな電圧レベルの走査電圧を走査

電極に印加することで、走査選択期間に入る以前に画素をオン状態にすることを避けつつその画素の液晶層の等価容量に予備電圧を充電させておくので、走査選択期間に入ってから液晶層の保持電圧が画素駆動に十分な値になるまでの等価容量への充電を短時間に速やかに行なうことができる。

【0018】これにより、液晶印加電圧を高くせずとも、表示パターンに依存した液晶印加電圧の実効値のばらつきを抑えて高コントラスト比で均一な画像表示を実現することができる。

【0019】

【実施例】以下、本発明に係る液晶表示装置の一実施例を図面に基づいて詳細に説明する。

【0020】図1は、本発明の液晶表示装置の構成を模式的に示す図、図2はそれに用いた液晶表示パネルを拡大して示す図である。

【0021】この液晶表示装置は、MIM型液晶表示パネル1と、走査電極駆動回路3と、信号電極駆動回路5とからその主要部が構成されている。

【0022】MIM型液晶表示パネル1は、走査電極7と、これに対向配置された画素電極9と、これに接続された極性が互いに逆向きの2つのダイオードを並列してなるMIM素子11と、これに接続された信号電極13と、画素電極9と走査電極7との間に挟持された液晶層15とを有している。そして等価回路的には各画素は液晶容量(C_{LC})を形成している。

【0023】図2に示すように、ガラス基板17上にTaからなる信号電極13と、MIM素子11の下部電極19とが形成されている。この下部電極19の上表面には陽極酸化による絶縁体21が形成されている。さらにその上には上部電極23が形成されて、非線形な抵抗値特性を有するMIM素子11が形成されている。そしてITOのような透明導電膜から画素電極9が形成され、MIM素子11の上部電極23に接続されている。そしてその表面ほぼ全面を覆うように配向膜25が形成されて、マトリックスアレイ基板27が形成されている。一方、このマトリックスアレイ基板27に対向するように、ガラス基板29上にITOのような透明導電膜からなる走査電極7が前記の信号電極13と直交し画素電極9と対向するように形成され、そのほぼ全面を覆うように配向膜31が形成されて、対向基板33が形成されている。そしてマトリックスアレイ基板27と対向基板33とを5 μ mの間隙(セルギャップ)を持たせて対向配置し、その間隙に液晶層15が封入され挟持されている。そして一つの画素電極9と、これに接続されたMIM素子11と、この画素電極9に対向する走査電極7と、それらに挟持される液晶層15とで一画素が形成されている。本実施例の液晶表示パネルは、128 \times 128ドットの画素数を有している。またその画素寸法は200 μ m角の大きさとした。

【0024】図3は、本実施例の液晶表示装置において用いられる走査電圧および表示信号電圧を示す図である。図3(a)は信号電極駆動回路5が信号電極13に印加する表示選択時(いわゆる画素のオン表示時)の電圧波形を示しており、図3(b)はその表示非選択時(いわゆる画素のオフ表示時)の電圧波形を示している。また図3(c)は走査電極駆動回路3が走査電極7に印加する走査電圧の電圧波形を示している。

【0025】図3(a)、(b)に示すように、1走査選択期間(1ライン走査期間)を少なくとも第1の期間および第2の期間に分割し、第1の期間では画像情報に対応して表示選択レベルV1または表示非選択レベルV2とし、かつ第2の期間では第1の期間が表示選択レベルV1のときは表示非選択レベルV2とし第1の期間が表示非選択レベルV2のときは表示選択レベルV1とした表示信号電圧V_xを、信号電極駆動回路5が信号電極13を介して画素電極9に印加する。これにより、1フレーム中の走査非選択期間において同一信号電極上の各画素に印加される液晶印加電圧の実効値のばらつきを抑えてほぼ一定にすることができるので、表示画面内での各画素のコントラストのばらつきを抑えることができる。

【0026】しかも、図3(c)に示すように、走査選択期間の直前に少なくとも1走査選択時間にわたって大きさが走査選択電圧レベルV3よりも小さな電圧レベルの予備電圧レベルV5とした走査電圧を、走査電極駆動回路3が走査電極7に印加する。そして走査選択期間のうち第1の期間中に走査電極7に印加する走査電圧を走査選択電圧レベルV3とし、走査選択期間のうち第2の期間中に走査電極7に印加する走査電圧を走査非選択電圧レベルV4としている。このようにすることで、前記の走査選択期間に入る以前に画素をオン状態にすることを避けつつその画素の液晶層15に予備電圧を充電させておくので、走査選択期間に入ってから液晶層15の保持電圧が画素駆動に十分な値になるまでの液晶容量CLCへの充電を短時間に速やかに行なうことができる。

【0027】このようにして、液晶印加電圧(すなわち走査電圧と表示信号電圧との重畳電圧)を高くせずとも表示パターンに依存した液晶印加電圧の実効値のばらつきを抑えて、高コントラスト比で均一な画像表示を実現することができる。

【0028】本実施例の液晶表示装置では、デューティ比1/450、バイアス比は1/9とした。そして予備電圧レベルV5は、走査選択期間の走査選択電圧レベルV3の5/8倍の大きさの電圧とした。

【0029】図4(a)は、このような本実施例の液晶表示装置の一画素に印加される液晶印加電圧を示す波形図であり、図4(b)は、それにより液晶層15に保持される保持電圧VLC(すなわち液晶印加電圧の実効値)を示す波形図である。この図4に示すように、液晶層1

5の保持電圧V_{LC}は、走査非選択期間中においてもオン表示の場合とオフ表示の場合とでその値のばらつきが少なくできる。

【0030】その結果、図5の液晶印加電圧／コントラスト特性曲線に示すように、実線で示した本実施例の場合は、コントラスト比のピークを与える液晶印加電圧を破線で示した従来のMIM型液晶表示装置の場合に比べて約2V低くすることができた。

【0031】なお、上記の走査電圧の予備電圧レベルV₅の大きさについては、本実施例では走査選択電圧レベルV₃の5/8倍($V_5 = V_3 \times (5/8)$)の大きさの場合を例示したが、本発明はこの値のみには限定しない。例えば1/Nバイアス駆動の場合では、走査選択期間の走査選択電圧レベルV₃の1/3を下限とし、かつ(N-3)/(N-1)を上限とすることが望ましい。これは、予備電圧レベルV₅の大きさは走査選択期間の走査選択電圧レベルV₃の1/3以下では効果がなく、かつ(N-3)/(N-1)以上では表示非選択画素にも画素をオンとするような液晶印加電圧が印加されてしまいシャドウの原因となるという不都合が生じる恐れがあるためである。なお本実施例においても、N=9であるから上式(N-3)/(N-1)の値は6/8であり、V₅が上記の条件 $V_3 \times (1/3) \leq V_5 \leq (N-3)/(N-1)$ を満たす値に設定されていることは言うまでもない。

【0032】また、本実施例では非線形素子としてMIM素子11を用いた例を示したが、本発明は用いる非線形素子としてはMIM素子のみには限定しない。この他にもダイオード素子や、酸化亜鉛を用いたバリスタ素子や、MIM素子や、金属からなる2つの電極で半導電性の層を挟持してなるMSI素子などを用いることができ

る。

【0033】その他、本発明の要旨を逸脱しない範囲で、本発明の液晶表示装置の各部位の形成材料などの変更が種々可能であることは言うまでもない。

【0034】

【発明の効果】以上、詳細な説明で明示したように、本発明によれば、走査電圧や表示信号電圧を高くすること避けて低消費電力を実現しながら、均一で高いコントラスト比の画像表示を実現することのできる液晶表示装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の液晶表示装置の構成を模式的に示す図。

【図2】本発明の液晶表示装置の液晶表示パネルの構造を示す図。

【図3】本発明の液晶表示装置の走査電圧波形および表示信号電圧波形の一例を示す図。

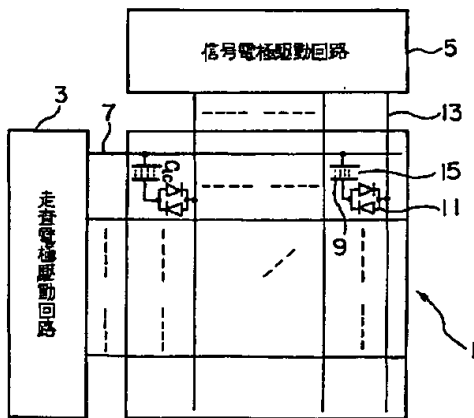
【図4】本発明の液晶表示装置の液晶印加電圧波形および保持電圧波形を示す図。

【図5】本発明の液晶表示装置の液晶印加電圧／コントラスト特性曲線を従来の液晶表示装置の場合と比較して示す図。

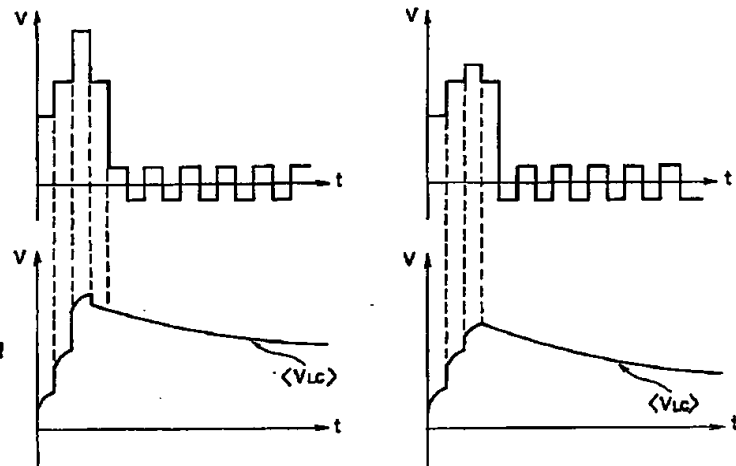
【符号の説明】

- 1…液晶表示パネル
- 3…走査電極駆動回路
- 5…信号電極駆動回路
- 7…走査電極
- 9…画素電極
- 11…MIM素子
- 13…信号電極
- 15…液晶層

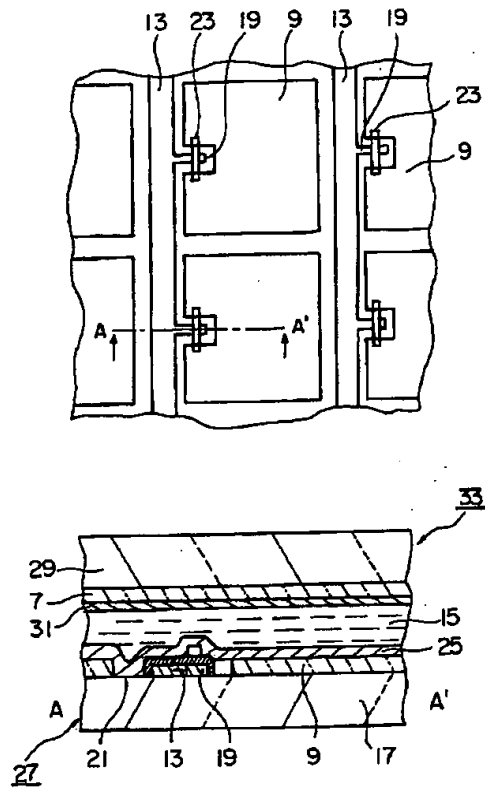
【図1】



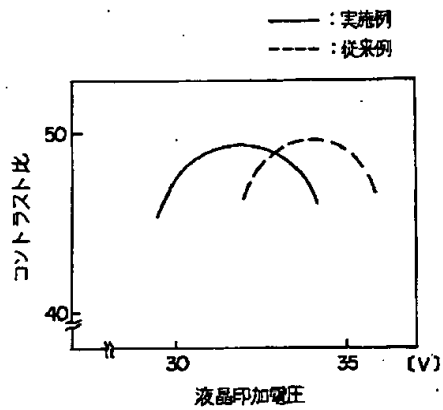
【図4】



【図2】



【図5】



【図3】

